

炭化ケイ素基板上に成長させた1200°Cドライ酸化膜中の界面欠陥の電気特性とその熱アニーリング効果

吉川 正人^{†a)} 石田 夕起^{††} 直本 保^{†††} 土方 泰斗^{††††}
 伊藤 久義[†] 奥村 元^{††} 高橋 徹夫^{††} 土田 秀一^{†††}
 吉田 貞史^{††††}

Electrical Characteristics of Interface Defects in Oxides Grown at 1200°C in Dry Oxygen Ambient on Silicon Carbide and Their Thermal Annealing Effects

Masahito YOSHIKAWA^{†a)}, Yuuki ISHIDA^{††}, Tamotsu JIKIMOTO^{†††},
 Yasuto HIJIKATA^{††††}, Hisayoshi ITOH[†], Hajime OKUMURA^{††},
 Tetsuo TAKAHASHI^{††}, Hidekazu TSUCHIDA^{†††},
 and Sadafumi YOSHIDA^{††††}

あらまし 1200°Cドライ酸化やそれに引き続いて行われる熱アニーリングが、酸化膜と4積層周期六方晶炭化ケイ素(4H-SiC)基板の界面に与える影響を調べた。n型及びp型4H-SiC基板を1200°Cの乾燥酸素雰囲気中で3時間酸化して50nmの酸化膜を作製した後、酸化膜を500°Cから950°Cのアルゴン雰囲気中で3時間熱アニーリングした。その酸化膜を用いて金属/酸化膜/半導体(MOS)構造を形成してC-V特性を測定し、酸化膜と4H-SiC界面の電気特性に及ぼす熱アニーリング効果を調べた。1200°Cドライ酸化膜を用いて形成した4H-SiC MOS構造のC-V特性は、電圧軸に沿って正方向へ大きくシフトした。界面には負電荷が蓄積していた。600°Cで3時間の熱アニーリングを行うとC-V特性が負方向へシフトし始め、950°C3時間の熱アニーリングで電圧シフトが消失した。一方、p型4H-SiC MOS構造のC-V特性を調べると、n型とは反対に電圧軸に沿って負方向へ大きくシフトした。界面には正電荷が蓄積していた。n型とp型のシフト方向の違いと界面欠陥の荷電状態の関連性について調べ、界面欠陥の熱アニーリングのメカニズムを議論した。

キーワード 4H-SiC, ドライ酸化, MOS, 界面準位, アルゴンアニーリング

1. ま え が き

炭化ケイ素単結晶(SiC)は、Siに匹敵する電子移動度と、高い飽和ドリフト速度、大きな禁制帯幅をもつ、化合物半導体である[1]。禁制帯幅が広いため理論上500°Cを超える高温でも半導体としての性質を示すこと、化学的に極めて安定でしかも伝導型の制御が可能であること、熱伝導率が高いこと、原子間の結合エネルギーが高いため変位損傷を起こす弾き出しエネルギーのしきい値が高く欠陥導入率が低いこと[2]、結晶表面をSiと類似した手法で熱酸化することにより良好な酸化絶縁膜(SiO₂膜)が作製できること、そし

† 日本原子力研究所, 高崎市

Japan Atomic Energy Research Institute, Takasaki Radiation Chemistry Research Establishment, 1233 Watanuki, Takasaki-shi, 370-1292 Japan

†† 産業技術総合研究所, つくば市

National Institute of Advanced Industrial Science and Technology, Central 2, 1-1-1 Umezono, Tsukuba-shi, 305-8568 Japan

††† 電力中央研究所, 横須賀市

Central Research Institute of Electric Power Industry, 2-6-1 Nagasaka, Yokosuka-shi, 240-0196 Japan

†††† 埼玉大学工学部, さいたま市

Saitama University, 255 Shimo-Okubo, Saitama-shi, 338-8570 Japan

a) E-mail: htyskwm@taka.jaeri.go.jp

て SiO₂ と SiC との界面 (SiO₂/SiC 界面) には高い耐放射線性があること [3], [4] などの理由から, 高周波スイッチング素子, 大電力制御用パワー素子, そして耐熱・耐放射線性素子等のハードエレクトロニクス用の半導体材料として注目されている。

1980 年代後半から 1990 年代にかけて確立されたステップフロー成長法 [5] の適用により, 良質なエピタキシャル膜が得られるようになってからは [6], [7], SiC 素子の基本構造となる金属/酸化膜/半導体 (Metal/Oxide/Semiconductor: MOS) ダイオードが盛んに試作され, その作製条件と電気特性の関連性が追及されるようになった。現在までに, 1200°C 以上の高温乾燥酸化法や水素燃焼酸化法等を用いて作製したゲート用熱酸化膜の後処理方法として, 水素アニーリング法, 水蒸気アニーリング法, そして窒素アニーリング法などが提案され, 界面欠陥の低減が実現した [8]。またこれらの処理法を MOS 電界効果トランジスタ (MOSFET) のゲート酸化膜の作製プロセスに応用することにより, 反転層内の電子移動度の改善が図られた。しかしながらこのような改良を行っても, SiO₂/Si 界面に比べ, SiO₂/SiC 界面には界面欠陥がまだ約 2 けた多く存在している。

このような背景の中で, 1200°C を超える乾燥酸素雰囲気中で SiC を酸化 (ドライ酸化) した後, アルゴン (Ar) 中での熱アニーリングと水蒸気アニーリング [9] を連続的に行う手法 (dry-Ar/wet annealing 法) が注目されている。この方法で作製したゲート酸化膜を用いると, MOSFET の反転層内電子移動度が水素燃焼酸化膜で作製したそれよりも 1 けた以上大きな値を示すからである。移動度の上昇は界面準位量の低下を反映していると考えられる。しかしながら, dry-Ar/wet annealing 法で用いられる各プロセスについて, 界面欠陥の低減に至るメカニズムを詳細に調べた報告は少ない。各プロセスの作製条件と界面欠陥の発生/消滅のメカニズムの関連性が明確になれば, 界面欠陥の更なる低減が期待できる。また dry-Ar/wet annealing 法で用いられているドライ酸化は, SiC の酸化の基本プロセスである。その界面欠陥の発生/消滅に及ぼす熱アニーリングや水蒸気アニーリングの効果が明確になれば, 作製条件の最適化による MOSFET の反転層内電子移動度の向上ばかりでなく, 界面欠陥の新たな低減手法や分析手段の開発にもつながると考えられる。

今回我々は, 1200°C ドライ酸化法を用いて, n 型 4 積層周期六方晶 SiC (4H-SiC) 表面にドライ酸化膜を

成長させた。そしてそれを用いて MOS キャパシタを作製し, その SiO₂/4H-SiC 界面の電気特性を $C-V$ 法で調べた。また 1200°C ドライ酸化を行った後, 500°C から 950°C の温度範囲の Ar 雰囲気中で等時熱アニーリングを行い, ドライ酸化膜の電気特性に及ぼす熱の効果も併せて調べた。これらの結果からドライ酸化によって発生する界面欠陥の性質とその熱アニーリングの効果について考察し, その発生/消滅のメカニズムを追及した。

2. 実 験

実験に用いた 5 mm × 5 mm 角の n 型 4H-SiC 基板は, (0001) 面 (Si 面) に対して 8° のオフ角をもつ直径 2 インチの市販のエピ膜付き単結晶ウェーハから切り出した。エピタキシャル膜の厚さは 5 μm, 不純物濃度は $5 \times 10^{15} \text{ cm}^{-3}$ であった。切り出した基板表面を有機洗浄した後, 1100°C の酸素に水素を吹き込んで生成した高温水蒸気雰囲気をを用いて酸化し (水素燃焼酸化), 基板表面を犠牲酸化した。犠牲酸化膜を 5% のフッ酸で剥離して清浄表面を露出させた後, 4H-SiC 基板の Si 面に対して 1200°C で 3 時間のドライ酸化を行い, 厚さ 50 nm のゲート酸化膜を成長させた。使用した酸素は, 純化装置を通過させた超高純度酸素であり, その露点は -100°C 程度であった。酸化プロセスの最終段階で, 試料を反応管から引き出し室温まで急速冷却し, SiO₂/4H-SiC 界面付近の化学反応を中断させた。酸化直後の熱アニーリングの効果を調べるため, 1200°C ドライ酸化が終了した試料を Ar 雰囲気中で 3 時間熱アニーリングした。アニーリング温度は 500°C から 950°C まで変化させた。上述のプロセスによってゲート酸化膜を作製した直後, 金を 25 nm 蒸着して直径 0.5 mm の電極を作製し, MOS 構造を形成した。また, 裏面表層に成長した酸化膜を除去した後, 露出させた基板表面に Al を蒸着してオーミック電極を形成した。

得られた 4H-SiC MOS キャパシタの電気特性を評価するため, 高周波 $C-V$ 測定を行った。測定周波数は 1 MHz である。酸化終了直後の酸化膜中には, 界面欠陥のように, 印加電圧に対して電気的に変化する成分があるが, 測定開始前は乱雑な状態となっている。このため酸化膜に対して大きな測定開始電圧を印加すると, 酸化膜内部で局所的な電界集中が起こって絶縁破壊を引き起こすことがある。また SiC MOS 構造の作製手法によっては, $C-V$ 特性は電圧軸に沿って大き

くシフトしていることがあり、このシフトを想定して過大な測定電圧を印加して絶縁破壊や漏れ電流の増大を招くことも多い。C-V 測定前に測定電圧区間を一意的に決定するのは一般に困難である。そこで本研究では、初めて測定を行うときに、測定開始電圧と測定終了電圧の間隔を狭くして C-V 測定を行った。その後少しずつ電圧間隔を広げながら C-V 測定を繰り返し、高周波 C-V 曲線全体が取得できるまでゲート電圧幅を拡大させる手法をとった (Cycle C-V 測定)。

高周波 C-V 測定を行うときは、測定開始電圧を試料に印加しながら水銀ランプを用いて紫外光を試料に照射し反転層を形成した。反転層が形成された後、反転領域側から蓄積領域側に向けて暗状態で測定電圧を掃引した。また蓄積領域側から反転領域側へ向けて暗状態で電圧掃引した高周波 C-V 曲線も併せて取得した。そして電圧掃引方向の異なる高周波 C-V 曲線を重ね合わせたときに生ずる C-V 曲線のヒステリシス幅から総界面準位量 (N_{it}) を計算した (光 C-V 法)。

3. 結 果

図1に、1200°Cのドライ酸素雰囲気中で3時間成長させた酸化膜を用いて形成したMOS構造のCycle C-V特性の代表例を示す。この測定では、測定電圧範囲を[+2 V, -2 V]から[+22 V, -4 V]まで次第に広げて、室温で高周波 C-V 曲線を繰り返し測定した。測定電圧は、蓄積領域側から空乏領域側へ掃引した。図中の記号 C_{fb} は、フラットバンド条件に対応する容量を示す。この値は、基板の不純物濃度が $5.0 \times 10^{15} \text{ cm}^{-3}$ の均一な不純物濃度をもつと仮定して計算した。基板濃度は蓄積領域側から反転領域側へ測定電圧を素早く掃引した高周波 C-V 曲線から導かれる $C^{-2}-V$ プロットの傾きから求めた。図中の番号は測定回数を示しているが、見やすくするため測定結果を1回おきに表示している。第1回目の測定は[+2 V, -2 V]の区間で、第3回目の測定は[+5 V, -2 V]の区間で行った。図中の第1回から5回目の測定結果が示すように、測定開始電圧を+9 Vまで上昇させても、測定開始電圧に対応する容量値はあまり変化しない。測定開始電圧が+10 Vを超えるころから容量値の増大が徐々に始まり、+22 Vでは容量値の上昇が緩やかになって C-V 曲線全体が取得された。第11回目の測定で取得された曲線の C_{fb} に対応する電圧 (フラットバンド電圧: V_{fb}) は+16.5 Vであった。第1回目の測定において、測定開始電圧に対応する容量値は27 pFである。この値を

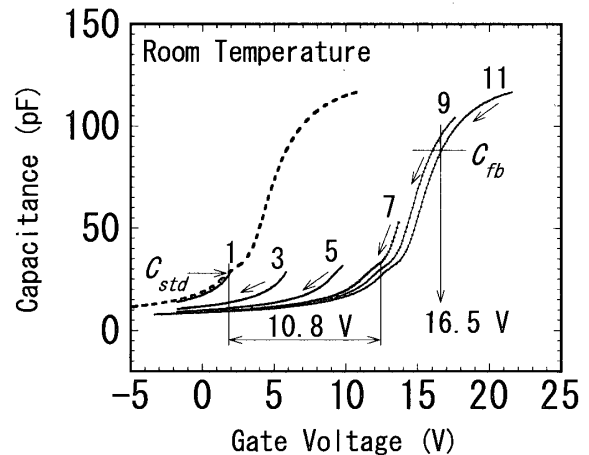


図1 1200°Cのドライ酸素雰囲気中で3時間成長させた酸化膜を用いて形成したMOS構造のCycle C-V特性。図中の番号は測定回数を示す。 C_{fb} はフラットバンド条件に対応する容量値。測定開始電圧を増加させると、C-V曲線が正電圧軸方向へ移動する。破線は第11回目の測定結果を、10.8 V電圧軸に沿って負方向へ移動させたC-V曲線を示す。

Fig. 1 Cycle C-V characteristics of MOS structures formed with oxide layers grown for 3 hours in dry oxygen ambient at 1200°C. Each number in the figure indicates the trial number of the C-V curves. The value of C_{fb} indicates the capacitance value corresponding to flatband condition. The C-V curve shifts to more positive gate voltage side by increasing the start voltage for each C-V measurement. Broken line in the figure shows the C-V curve that is moved from the position of the 11th trial curve to that of the 1st trial curve along the gate voltage axis.

C-V曲線のゲート電圧軸に沿った移動量を調べるための基準容量 (C_{std}) として採用する。 C_{std} に対応する電圧 (V_{std}) は、測定区間を広げることにより+1.6 Vから+12.4 Vまで、+10.8 V増大した。第11回目の測定を終了した直後、再度測定区間を[+2 V, -2 V]から[+22 V, -4 V]まで次第に広げて、室温でCycle C-V測定を行った。しかしながら、図1のような区間依存性は得られず、測定結果はすべて第11回目の測定結果と一致した。

次に総界面準位量 (N_{it}) を求めるため、高周波 C-V 特性を -5 V から +25 V の電圧範囲で測定した。測定前に紫外光を試料に照射し反転層を形成した。測定速度は 320 s/V、測定時間は約 3 時間であった。この測定において得られた V_{fb} の値は、図1の第11回目に測定された C-V 曲線のそれと一致した。光 C-V 法により得た高周波 C-V 特性のヒステリシスから算出した N_{it} は、 $5.9 \times 10^{12} \text{ cm}^{-2}$ であった。

図2に、1200°Cのドライ酸素雰囲気中で3時間成長さ

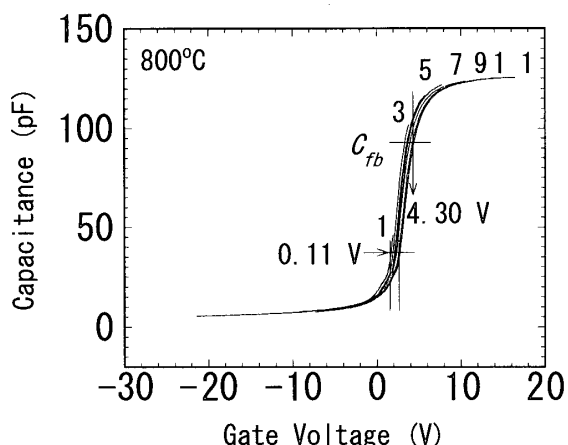


図2 1200°Cのドライ酸素雰囲気中で3時間成長させた後、800°CのAr雰囲気中で3時間熱アニーリングした酸化膜を用いて形成したMOS構造のCycle $C-V$ 特性。図中の記号は図1と同じ。

Fig. 2 Cycle $C-V$ characteristics of MOS structures formed with oxide layers grown for 3 hours in dry oxygen ambient at 1200°C followed by the thermal annealing for 3 hours in Ar ambient at 800°C. The notations are the same as those in Fig. 1.

せた後、800°CのAr雰囲気中で3時間熱アニーリングした酸化膜を用いて形成したMOS構造のCycle $C-V$ 特性を示す。取得方法は図1の場合と同じであり、測定区間を[+2 V, -2 V]から[+16 V, -22 V]まで次第に増大させた。図1とは異なり、測定電圧範囲の増大に対応する各 $C-V$ 曲線の間隔が極めて狭い。第11回目に測定された $C-V$ 曲線の V_{fb} は、+4.3 Vであった。図1と同様に第1回目の測定開始電圧に対応する容量値43 pFを C_{std} とすると、 C_{std} に対応する V_{std} は測定区間を広げても+0.11 Vしか増大しなかった。ドライ酸化後の熱アニーリングにより、Cycle $C-V$ 特性を構成する各 $C-V$ 曲線の間隔が狭まった。

図2と同様な測定を、500°Cから950°CのAr雰囲気中で熱アニーリングしたすべての試料について行った。測定区間の拡大により生ずる各 $C-V$ 曲線の間隔は、熱アニーリングを行わないドライ酸化膜(図1)が最も広く、熱アニーリング温度の上昇とともにその間隔が狭くなり、950°Cでは消失した。

4. 解析と考察

4.1 Cycle $C-V$ 特性の横方向シフト

図1において、第11回目に測定された $C-V$ 曲線を、 C_{std} に対応する電圧の増分 ($\Delta V_{std} = +10.8 V$) だけゲート電圧軸に沿って負電圧方向に移動させ、第1回目の測定結果と比較する。移動させた $C-V$ 曲線は図1

の中に破線で示した。移動させた $C-V$ 曲線は、[+2 V, -2 V]の区間内では、第1回目に測定した $C-V$ 曲線と一致する。[+2 V, -2 V]の区間で観測された $C-V$ 曲線が破線で示された $C-V$ 曲線と同じ変化をすれば、+10 Vの電圧印加により116 pF程度の容量が観測されなければならない。しかしながら、実際の測定では、図1の結果が示すように、30 pF程度の値しか得られていない。第11回目に測定された $C-V$ 曲線を、第3回目あるいは第5回目の結果と同様な手法で比較すると、いずれの場合も測定区間内では $C-V$ 曲線の形状が一致した。これは、測定開始電圧の印加によって $C-V$ 曲線が電圧軸の正方向へ瞬時に平行移動していることを示している。 $C-V$ 曲線の正電圧軸方向へのシフトは、 $\text{SiO}_2/4\text{H-SiC}$ 界面への負電荷の蓄積を表すことから、測定開始電圧の印加によって、 $\text{SiO}_2/4\text{H-SiC}$ 界面近傍に新たな負電荷が発生したものと考えられる。

この負電荷発生メカニズムを調べるため、図1の4H-SiC MOS構造のCycle $C-V$ 特性を測定した直後、再度Cycle $C-V$ 特性を測定した。実験結果のところで述べたように、図1のような測定区間依存性は得られず、測定結果はすべて図1の第11回目の測定結果と一致した。次にゲート及びオーミック電極を開放し、25°Cの温度雰囲気中に24時間放置してから、再びCycle $C-V$ 特性を測定した。すると図1と同じ測定区間依存性を再度得ることができた。そこでこれら3種類の結果を明確化するため、それぞれの C_{std} に対応する ΔV_{std} を求め、Cycle $C-V$ 曲線の測定開始電圧 (V_{start}) に対してプロットした。結果を図3(a)及び(b)に示す。 $C-V$ 曲線の横方向シフトが測定開始電圧に依存して増大すること、直後の再測定ではその依存性がないこと、24時間放置後には再度同じ挙動が繰り返されていることがわかる。24時間の放置試験は4回繰り返したが、結果は同じであった。このことから、横方向シフトを発生させる負電荷は、界面の化学的構造の半永久的な変化により発生した固定性電荷ではなく、外部電圧印加により界面近傍の欠陥の荷電状態が変化して発生していることがわかる。SiC基板と電荷のやり取りを極めてゆっくり行って電気的な発生と消滅を繰り返すことから、固定性電荷に見える負電荷はアクセプタ型界面準位であると考えられる。

同様な実験をp型4H-SiCについても行った。n型基板と同様に1200°Cで3時間酸化し、MOS構造を形成してCycle $C-V$ 特性を測定した。図4にp型4H-SiC

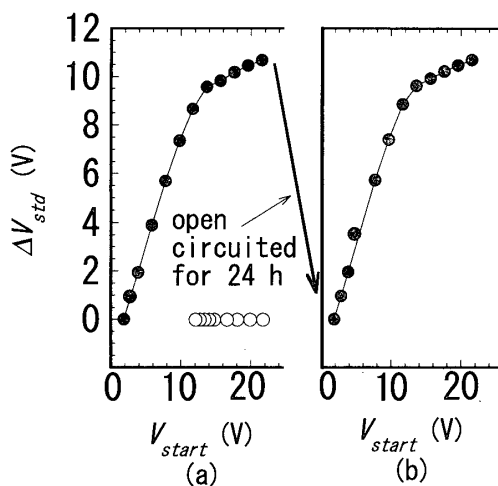


図3 4H-SiC MOS構造の Cycle $C-V$ 特性から求めた電圧軸方向の移動量と測定開始電圧の関係. 図(a)の中の黒丸(●)は, 1回目の Cycle $C-V$ 特性の測定結果から求めた結果. 白丸(○)は第1回目の測定の直後に行われた2回目の測定結果. 図(b)は, 試料を24時間無電圧状態で放置した後, 再度 Cycle $C-V$ 特性測定から求めた結果. 図(a)と同じ挙動が観測されている.

Fig. 3 $C-V$ curve shifts along the gate voltage axis versus start voltage obtained from Cycle $C-V$ characteristics of a 4H-SiC MOS structure. The closed circles in Fig. 3(a) show the result derived from the 1st trial of the Cycle $C-V$ measurement. The open circles exhibit the result obtained from the 2nd trial of Cycle $C-V$ measurement immediately after the 1st trial one. Figure 3(b) shows the results for the measurements after 24 hours leaving under the open-circuited condition. The similar result was observed as those for the 1st trial.

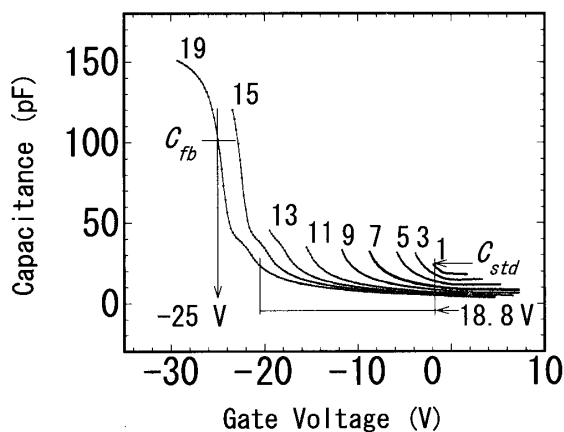


図4 p型 4H-SiC MOS構造の Cycle $C-V$ 特性. 図中の記号の意味は図1と同じである. 測定開始電圧を増加させると, $C-V$ 曲線が負電圧軸方向へ移動する.

Fig. 4 Cycle $C-V$ characteristics of a p-type 4H-SiC MOS structure. The notations in the figure are the same as those in Fig. 1. The $C-V$ curve shifts to more negative gate voltage side by increasing the start voltage.

MOS構造に対して, 測定電圧範囲を $[-2\text{ V}, +2\text{ V}]$ から $[-30\text{ V}, +8\text{ V}]$ まで次第に広げて, $C-V$ 曲線を繰り返し測定したときの代表例を示す. 図中の番号や記号の意味は図1と同じである. 図に示すように, V_{start} を減少させると $C-V$ 曲線が負方向へシフトした. 図中の C_{std} に対応する ΔV_{std} は -18.8 V であった. Cycle $C-V$ 特性測定直後の再測定では, 測定開始電圧依存性は失われ図4の第19回目の測定結果にすべての結果が重なったが, 試料を 25°C に保ちながら無電圧状態で24時間放置すると, 再度図4と同じ挙動が観測された. n型のとくと同様に放置実験を繰り返したが結果は同じであった. n型MOS構造の Cycle $C-V$ 特性(図1)の結果と逆の移動方向は, 界面に発生した電荷(界面欠陥)の極性を反映しており, 正電荷の蓄積を示す. 固定性電荷に見える正電荷はドナー型界面準位であると考えられる.

4.2 負電荷の熱アニーリングの解析

n型MOS構造への電圧印加によって新たに発生した負電荷の総量 (N_{tc}) を, 下式を用いて定義する.

$$N_{tc} = \frac{C_{ox}}{qA} |\Delta V_{std}| \quad (1)$$

q 及び A は, それぞれ電子電荷量及び電極面積, C_{ox} は酸化膜容量である. なお, p型MOS構造については, オーミック電極の形成にTi/Al電極を用いているため電極蒸着後に 600°C 前後の短時間の熱アニーリングを必要とする. 酸化膜への熱履歴がn型とは異なってしまうため, 今回の解析対象から除外した.

熱アニーリング前及び 500°C から 950°C までアニーリングした試料に対する実験結果に式(1)を適用し, Cycle $C-V$ 特性の測定結果から $\text{SiO}_2/4\text{H-SiC}$ 界面近傍に発生する負電荷量を計算した. そして熱アニーリングによる負電荷量の変化を調べるため, 負電荷の残存率 (N_{tc}/N_{tc}^0) をアニーリング温度に対してプロットした.

結果を図5に示す. ここで N_{tc}^0 は, 熱アニーリングしていない試料の負電荷量である. 熱アニーリング温度が 500°C を超えると負電荷が減少し始め, 950°C では消滅している. このことから 500°C から 800°C の間に負電荷(界面欠陥)のアニーリングステージが存在していることがわかる.

$\text{SiO}_2/4\text{H-SiC}$ 界面には, SiO_2 や 4H-SiC よりも高い光学的屈折率をもつ界面中間層があると報告されている[10]. 屈折率が高くなるのは, 分極率の高い物質

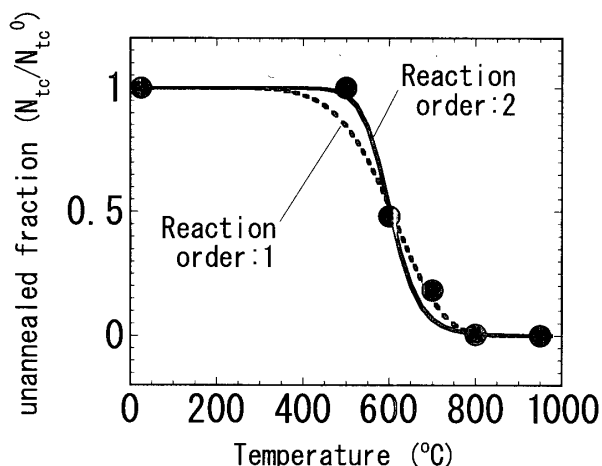
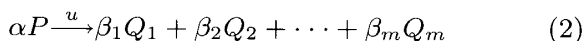


図5 総負電荷量 (N_{tc}) の残存率の Ar アニーリング温度依存性. 実線及び破線はそれぞれ $n = 2$ 及び $n = 1$ の場合の理論値を示す.

Fig. 5 Dependence of fraction of the residual negative charges in oxide layers (N_{tc}) on thermal annealing temperature. The solid line and the broken lines show the theoretical curves for $n = 2$ and $n = 1$, respectively.

(欠陥等) が界面中間層内に存在することを示唆する. そこで界面中間層内に均一に分布している負電荷発生の原因となる物質 P が, 熱アニーリングによって界面中間層内で, 単一の活性化エネルギーをもった単一の素反応によって異なった m 個の物質 $Q_1, Q_2, Q_3, \dots, Q_m$ に変化すると仮定して図5の結果を解析した. このモデルに対応する化学反応式は次式である.



ここで α 及び $\beta_1, \beta_2, \dots, \beta_m$ は, 各々 P 及び Q_1, Q_2, \dots, Q_m の量論係数, u はアレニウスの式で与えられる反応速度定数である. 物質 P の消失率 x の化学反応速度式は次式で与えられる [11].

$$\frac{dx}{dt} = A_0 \exp\left(-\frac{E}{kT}\right) (1-x)^n \quad (3)$$

式(3)を等時熱アニーリング条件に当てはめて積分すれば,

$$x = 1 - \exp\left[-A_0 t_0 \exp\left(-\frac{E}{kT}\right)\right] \quad (n = 1) \quad (4)$$

若しくは

$$x = 1 - \left[1 - A_0 t_0 (1-n) \exp\left(-\frac{E}{kT}\right)\right]^{\frac{1}{1-n}} \quad (n \neq 1) \quad (5)$$

が得られる. ここで t_0, A_0 は各々アニーリング時間及

び反応定数である. また E, k, T, n は, それぞれ活性化エネルギー, ボルツマン常数, 絶対温度, 反応次数である. 式(4), 若しくは式(5)を用いて, A_0, E, n をパラメータとして, 実験値に対する最小2乗法を用いたフィッティングを行い, 見かけの活性化エネルギーを見積もった. その結果, $n = 1$ に対しては $E = 0.8$ eV, $n = 2$ に対しては $E = 2.1$ eV の値が得られた. フィッティング結果を, それぞれ図5に破線及び実線で示す. なお, $n = 0$ に対してはフィッティングが成り立たなかった. 反応次数を正確に決定するには更なる実験が必要であるが, 計算結果が実験値と良い一致を示したのは, $n = 2$ の場合であった. 固体では, 近接して存在しても反応できない未反応物質 (ダングリングボンド等) が室温で安定に存在していることがある. 熱アニーリング等によって未反応物同士が反応して変化若しくは消滅する場合には, 反応次数が2になる. 図5の結果は, 高温の熱アニーリングにより, 界面中間層内部の負電荷の原因となっている化学構造が自己消滅, 若しくは別の界面欠陥に変化している可能性を示唆する.

4.3 考 察

n型及びp型MOS構造の $C-V$ 曲線をシフトさせる原因となった界面欠陥は, いずれも印加電圧によって荷電状態が変化することから, その発生位置は界面近傍であると考えられる. 一方その界面近傍には, Siのダングリングボンド [12], Si-Siの結合 [10], そして原子空孔等 [13] の化学構造があるとされる. またカーボンが層状構造 (カーボンクラスタ) をなすとする報告もある [14]. Si-Siの結合や複数個のカーボン原子は, 禁制帯中の価電子帯側や伝導帯側にそれぞれ準位を発生させるとする報告もあるが [15], 界面欠陥のエネルギー準位とその荷電状態についての理論的知見はほとんどない. p型及びn型MOS構造で発生した界面欠陥はドナー型及びアクセプタ型であったが, それぞれの起源は明らかではない. 今後, 界面欠陥の物理構造を調べる測定手法 [10], [12], [13] から得られる熱アニーリング挙動と図5を比較することにより, 電気特性に影響を与える界面欠陥構造やその活性化エネルギーの意味が明らかになると考えられる.

5. む す び

超高純度酸素雰囲気中で, n型及びp型4H-SiC基板を1200°Cに加熱して厚さ50nmの酸化膜を成長させた後, 金電極を蒸着してMOS構造を形成した. 得られ

たMOS構造のC-V特性を測定して、SiO₂/4H-SiC界面近傍の欠陥の電気特性を調べた。得られたC-V特性は、測定開始電圧の増加とともに電圧軸に沿って正方向へ大きくシフトした。このC-V特性のシフトは室温で24時間放置すると消失した。このことから、1200°Cドライ酸化によって界面に発生した負電荷は、アクセプタ型界面欠陥が電子を捕らえて負に帯電したものであると結論できた。一方、p型4H-SiC MOS構造の場合には、ドナー型界面欠陥と考えられた。n型MOS構造の界面欠陥は、950°CのAr雰囲気中で3時間熱アニリングするとほぼ消失した。その界面欠陥消失の反応次数は2である可能性があり、界面中間層内部の界面欠陥の自己消滅が示唆された。

謝辞 本研究の遂行に御協力頂いた埼玉大学大学院理工学研究科の緑川正彦氏、関口聡氏に深く感謝します。

文 献

- [1] G. L. HARRIS, ed., EMIS Datareviews Series, no.13, Properties of Silicon Carbide, An INSPEC Publication the Institute of Electrical Engineers, London, 1995.
- [2] A.L. Barry, B. Lehmann, D. Fritsch, and D. Bräunig, "Energy dependence of electron damage and displacement threshold energy in 4H silicon carbide," IEEE Trans. Nucl. Sci., vol.38, no.6, pp.1111-1115, Dec. 1991.
- [3] M. Yoshikawa, H. Itoh, Y. Morita, I. Nashiyama, S. Misawa, H. Okumura, and S. Yoshida, "Effects of gamma-ray irradiation on cubic silicon carbide metal-oxide-semiconductor structures," J. Appl. Phys., vol.70, no.3, pp.1309-1312, Aug. 1991.
- [4] 吉川正人, 大島 武, 伊藤久義, 梨山 勇, 高橋芳宏, 大西一功, 奥村 元, 吉田貞史, "炭化けい素半導体MOS構造の γ 線照射効果とそのメカニズム," 信学論(C-II), vol.J81-C-II, no.1, pp.140-150, Jan. 1998.
- [5] T. Kimoto, A. Itoh, and H. Matsunami, "Step-controlled epitaxial growth of high-quality SiC layers," Physica Status Solid B, vol.202, no.1, pp.247-262, July 1997.
- [6] O. Kordina, C. Hallin, A. Henry, J.P. Bergman, I. Ivanov, A. Ellison, N.T. Son, and E. Janzen, "Growth of SiC by "hot-Wall" CVD and HTCVD," Physica Status Solid B, vol.202, no.1, pp.321-324, July 1997.
- [7] H. Tsuchida, I. Kamata, T. Jikimoto, and K. Izumi, "Epitaxial growth of thick 4H-SiC layers in a vertical radiant-heating reactor," J. Crystal Growth, vol.237-239, pp.1206-1211, April 2002.
- [8] P. Jamet, S. Dimitrijevic, and P. Tanner, "Passivation of the oxide/4H-SiC interface," Materials Science Forum, vols.389-393, pp.973-976, Oct.-Nov. 2001.
- [9] L.A. Lipkin and J.W. Palmour, "Improved oxidation procedures for reduced SiO₂/SiC defects," J. Electronic Materials, vol.25, no.5, pp.909-915, May 1996.
- [10] T. Iida, Y. Tomioka, H. Yaguchi, M. Yoshikawa, Y. Ishida, H. Okumura, and S. Yoshida, "Characterization of oxide film on SiC by spectroscopic ellipsometry," Jpn. J. Appl. Phys., vol.39, no.10B, pp.L1054-L1056, Oct. 2000.
- [11] 小沢丈夫, "速度論的解析," 熱分析, 神戸博太郎(編), 第5章 pp.88-119, 講談社, 東京, 1975.
- [12] J. Isoya, R. Kosugi, K. Fukuda, and S. Yamasaki, "ESR characterization of SiC bulk crystals and SiO₂/SiC interface," Materials Science Forum, vols.389-393, pp.1025-1028, Oct.-Nov. 2001.
- [13] 前川雅樹, 河裾厚男, 吉川正人, 伊藤久義, "陽電子ビームを用いたSiO₂/SiC界面の欠陥評価," 第39回理工学における同位元素・放射線研究発表会, vol.39, no.2p-II-11, p.80, July 2002.
- [14] K. Chang, N. Nuhfer, L. Porter, and Q. Wahab, "High-carbon concentrations at the silicon dioxide-silicon carbide interface identified by electron energy loss spectroscopy," Appl. Phys. Lett., vol.77, no.14, pp.2186-2188, Oct. 2000.
- [15] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, M. Di Ventura, S. T. Pantelides, L. C. Feldman, and R. A. Weller, "Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide," Appl. Phys. Lett., vol.76, no.13, pp.1713-1715, March 2000.

(平成14年8月5日受付, 11月1日再受付)



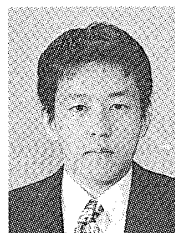
吉川 正人

昭54千葉工大・電気卒, 昭56東工大・理工・電気修士課程了。同年原研入所。以来原子炉用電線類の健全性試験法に関する研究, 半導体材料・素子の耐放射線性に関する研究に従事。副主任研究員, 工博。応用物理学会会員。



石田 夕起

平3東北大・理・化学卒。同年京セラ(株)入社。TFT液晶の開発に従事。平7電総研入所。以来ワイドバンドギャップ半導体の成長メカニズム, 物性及びデバイス化の研究に従事。現在産総研, 研究員。応用物理学会員。



直本 保

平5岡山大・理卒。平10同大・理・博士課程了。同年電中研・横須賀研入所。以来半導体表面及び半導体/酸化膜界面に関する研究に従事。主任研究員, 理博。応用物理学会員。



土方 泰斗

平6成蹊大・工・計測数理卒。平8東工大総理工・物理情報工修士課程了。平11同博士課程了。工博。同年埼玉大工助手に着任。以来酸化膜/炭化珪素界面の電子分光分析、光学的評価等に従事。応用物理学会、日本光学会各会員。



伊藤 久義

昭57筑波大・第3学群基礎工卒。昭62同大・工・物質工博士課程了。工博。同年原研入所。半導体材料・素子の耐放射線性に関する研究に従事。主任研究員。応用物理学会、並びに日本原子力学会各会員。



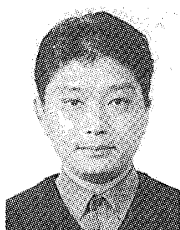
奥村 元

昭54京大・理卒。昭56同大理化修士課程了。同年電総研入所。化合物半導体の結晶成長、物性評価の研究。特にワイドバンドギャップ半導体やそれらのヘテロ構造の研究に従事。工博。現在産総研、パワーエレクトロニクス研究センター副研究センター長。応用物理学会、日本物理学会各会員。



高橋 徹夫

昭41法大・工・電気卒。昭43同大・工・電気修士課程了。同年電気試験所入所。以来半導体デバイスのプロセスに関する研究、炭化珪素半導体のエピタキシャル成長技術の研究に従事。現在産総研、主任研究員。応用物理学会、電気学会各会員



土田 秀一

平2長岡技科大・工卒。平4同大電気機器修士課程了。同年電中研入所。SiC結晶の気相成長、赤外分光に関する研究に従事。工博。応用物理学会、日本結晶成長学会各会員。



吉田 貞史

昭42東大・工・物工卒。昭47同大工・物工博士課程了。工博。同年東京大学工学部助手。昭48電総研入所。平9埼玉大学教授。化合物半導体の結晶成長、物性評価の研究。特にワイドバンドギャップ半導体やそれらのヘテロ構造の研究に従事。応用物理学会、電気学会各会員。